

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **05-210118**  
(43)Date of publication of application : **20.08.1993**

(51)Int.Cl.

G02F 1/136  
G02F 1/133  
G02F 1/1343  
G09G 3/36  
H01L 29/784

(21)Application number : **04-040615**

(71)Applicant : **CANON INC**

(22)Date of filing : **31.01.1992**

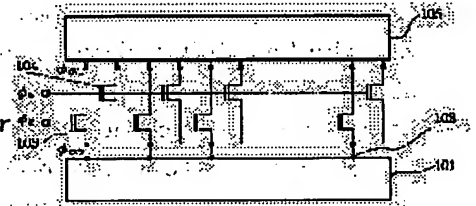
(72)Inventor : **KONDO SHIGEKI**

## (54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To enable the dealing of a peripheral driving circuit with the fine pitch of active matrix elements by simple constitution.

**CONSTITUTION:** This display element has a plurality of a pair of the active elements 103, 104 which are common in at least either of the source or drain electrodes thereof and are separate in the gate electrodes either of between at least a 2nd signal wiring and a 1st shift register or between a 2nd active element and a 2nd shift register. The respective common source or drain electrodes of these elements are connected to one terminal 102 of the 1st or 2nd shift register and the other side is connected to the respectively two signal wirings or the 2nd active element. A pair of the active elements are driven by respectively separate gate signal pulses.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The 1st signal wiring for supplying a driving signal to many pixel electrodes and each pixel electrode, The 1st active component for carrying out on-off control of the supply of the driving signal to each pixel electrode from this 1st signal wiring, And the 1st substrate with which the 2nd signal wiring for supplying the gate signal which opens and closes this 1st active component was formed in the shape of a matrix, The 2nd substrate which has the counterelectrode which kept fixed spacing, has been arranged to this substrate, countered said pixel electrode and has been arranged, The liquid crystal driven according to the driving signal which is arranged between said 1st and 2nd substrates, and is supplied to said pixel electrode, The 1st shift register which is connected to said 2nd signal wiring and carries out closing motion control of said 1st active component, The 2nd active component by which closing motion control is carried out in order to distribute and supply a predetermined input signal to each 1st signal wiring to predetermined timing, In the active matrix liquid crystal display device equipped with the 2nd shift register which carries out closing motion control of this 2nd active component It sets at least between said 2nd signal wiring and the 1st shift register or to either between said 2nd active component and the 2nd shift register. It has two or more active components of a pair with a gate electrode separate in common [ one side ] among the source or a drain electrode. While, as for these, the common source or a drain electrode is connected to one terminal of said 1st or 2nd shift register, respectively, the other end is connected to said 2nd two signal wiring or the 2nd active component, respectively. The active component of said pair is an active matrix liquid crystal display device characterized by driving by the separate gate signal pulse, respectively.

[Claim 2] The timing which has two or more active components of said pair between said each 2nd signal wiring and the 1st shift register and by which a gate signal pulse is impressed to each active component of the pair is an active matrix liquid crystal display device according to claim 1 characterized by having shifted mutually within an one-frame period.

[Claim 3] The timing which has two or more active components of said pair between said each 2nd signal wiring and the 1st shift register and by which a gate signal pulse is impressed to each active component of the pair is an active matrix liquid crystal display device according to claim 1 characterized by having shifted mutually within a two-frame period.

[Claim 4] The active component of said pair at least is an active matrix liquid crystal display device according to claim 1 to 3 characterized by being formed on said 1st substrate.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the active matrix liquid crystal display device driven by the active-matrix component.

[0002]

[Description of the Prior Art] Conventionally, the liquid crystal device which prepared the active-matrix component was widely applied, when TN liquid crystal was used, and it has been commercialized as a flat-panel display or pro JIEKUSHONN television (PTV). The above-mentioned active-matrix component represented by a thin film transistor (TFT), a diode component, an MIM (metal-insulator metal) component, etc. With the switching characteristic, the optical switch response of liquid crystal is helped by having held the electrical-potential-difference impression condition from the real Rhine selection period to the late above-mentioned TN liquid crystal of a response for a long time comparatively. Moreover, a 1 inter-frame substantial memory condition is brought about by the above-mentioned electrical-potential-difference impression condition maintenance to the liquid crystal which does not have memory nature (self-hold nature) like the above-mentioned TN liquid crystal. Or there is the description which does not give a cross talk theoretically between each Rhine or to between pixels; but gives a good display property.

[0003] Drawing 5 shows the structure of the active-matrix liquid crystal device which is a liquid crystal device which prepared such a active-matrix component. Drawing 6 is the circuit diagram showing the conventional fundamental liquid crystal drive circuit. The pixel section which this drive circuit becomes from the liquid crystal cell 601 which enclosed the liquid crystal ingredient between a common electrode (potential; referred to as VCOM), and each pixel electrode, and a pixel TFT602, The video-signal wiring section for supplying a driving signal (video signal) to each pixel electrode (Hereafter) In order to distribute and supply 603 called signal wiring, the line buffer section 605, and an input video signal to each signal wiring 603 to predetermined timing Gate signal wiring for supplying the gate signal which opens and closes the 607 pixel level shift register TFT602 which carries out closing motion control of the level switching TFT606 by which closing motion control is carried out, switching TFT604, and the level switching TFT606 (hereafter) It has 609 called gate wiring and the perpendicular shift register 608 which carries out closing motion control of the pixel TFT602, and from the signal input edge 611, the record signal VIN shifts timing and is transmitted to each [ each pixel or ] Rhine one by one.

[0004] However, the following problems have arisen in the conventional drive circuit. That is, the outgoing end of the above-mentioned shift register needs only several pixel minutes of a perpendicular direction for a horizontal and a list, the pitch of a shift register becomes narrow depending on the magnitude of a viewing area, and a configuration becomes difficult. For example, although these drive circuits are coping with it by mounting IC chip in the liquid crystal panel using current and a-SiTFT whose product is in use, in such a gestalt, a mounting pitch poses a problem.

[0005] Drawing 7 is the circuit diagram showing a CMOS shift register as an example of representation of a shift register. In a liquid crystal display component, a CMOS shift register is well used from the low level of the power consumption. If the number of transistors required for per bit is 16 and these tend to be made on the same substrate as an active component in a CMOS shift register, these transistors must be arranged in the pixel pitch of a viewing area, so that clearly from drawing.

[0006] This inclination becomes still severer like for example, the light valve for PTV, and the viewfinder

of a video camera to the application which cannot take that large panel size.

[0007] Furthermore, considering the application to Hi-Vision TV (HDTV) expected to develop quickly from now on, the correspondence to the detailed pitch of the circumference of a circumference drive circuit, especially a shift register is pressing need, and the cure is hurried.

[0008] As these cures, in the present condition, a viewing area is divided into some blocks and the device which enlarges the pitch of a surrounding drive circuit seemingly is made.

[0009] However, if the number of pixels increases like [ or memory devices, such as a frame memory and block memory, are needed as a display system and the whole system becomes complicated / the signal during a block needs to be amended and ] HDTV which the system configuration for it newly joins in dividing a viewing area into some blocks, a problem with new the division block count increasing further etc. will be produced.

[0010] As stated above, it was difficult to have made a surrounding drive circuit correspond to the detailed pitch of a active-matrix component by the conventional approach, without complicating a system. The purpose of this invention is by the easy configuration in an active matrix liquid crystal display device in view of the trouble of such a conventional technique to enable it to correspond a surrounding drive circuit to the detailed pitch of a active-matrix component.

[0011]

[Means for Solving the Problem] The 1st signal wiring for supplying a driving signal to many pixel electrodes and each pixel electrode in this invention, in order to attain the above-mentioned purpose, The 1st active component for carrying out on-off control of the supply of the driving signal to each pixel electrode from this 1st signal wiring, And the 1st substrate with which the 2nd signal wiring for supplying the gate signal which opens and closes this 1st active component was formed in the shape of a matrix, The 2nd substrate which has the counterelectrode which kept fixed spacing, has been arranged to this substrate, countered said pixel electrode and has been arranged, The liquid crystal driven according to the driving signal which is arranged between said 1st and 2nd substrates, and is supplied to said pixel electrode, The 1st shift register which is connected to said 2nd signal wiring and carries out closing motion control of said 1st active component, The 2nd active component by which closing motion control is carried out in order to distribute and supply a predetermined input signal to each 1st signal wiring to predetermined timing, In the active matrix liquid crystal display device equipped with the 2nd shift register which carries out closing motion control of this 2nd active component It sets at least between said 2nd signal wiring and the 1st shift register or to either between said 2nd active component and the 2nd shift register. It has two or more active components of a pair with a gate electrode separate in common [ one side ] among the source or a drain electrode. While, as for these, the common source or a drain electrode is connected to one terminal of said 1st or 2nd shift register, respectively, the other end is connected to said 2nd two signal wiring or the 2nd active component, respectively. He is trying to drive each active component of said pair by the separate gate signal pulse, respectively.

[0012] When it has the active component of said pair between said each 2nd signal wiring and the 1st shift register, it is made for the timing by which a gate signal pulse is impressed to each active component of the pair to shift mutually within 1 or a two-frame period here. And as for the active component of said pair at least, being formed on said 1st substrate is desirable.

[0013]

[Function] In this configuration, it sets at least between said 2nd signal wiring and the 1st shift register or to either between said 2nd active component and the 2nd shift register. While having two or more active components of said pair and connecting the common source or the drain electrode of these \*\*\*\*\* to one terminal of a shift register, the other end is connected to said 2nd two signal wiring or the 2nd active component, respectively. Since it was made to drive each active component of a pair by the separate gate signal pulse, two signal lines will correspond to one terminal of a shift register, therefore the terminal pitch of a shift register becomes twice also with the number of the same signal lines compared with the former. That is, the number of the transistors per signal line becomes nine

pieces compared with 16 conventional pieces. Therefore, a surrounding drive circuit corresponds to the detailed pitch of a active-matrix component easily.

[0014]

[Example]

Example 1 drawing 1 is the circuit diagram showing the scanning circuit of the drive circuits of the active matrix liquid crystal component concerning the 1st example of this invention. The perpendicular shift register with which 101 carry out closing motion control of the non-illustrated pixel TFT, and 102 are the switching TFT of each outgoing end of the perpendicular shift register 101, and a pair with a separate gate electrode with a source electrode common [ 103 and 104 ] and among drawing. While the common source electrode is connected to one outgoing end. 102 of the perpendicular shift register 101, the other end is connected to two scan wiring, respectively. 105 is a scan wiring group linked to each pixel TFT which is a active-matrix component. Switching 103 and TFT 104 is separate gate signal phiE. And phiO It drives and is gate signal phiE. And phiO TAIMI By shifting NGU, it is gate signal phiGV1 at different predetermined timing to all the scanning lines. It can send out now.

[0015] Switching 103 and TFT 104 is formed in a monolithic in the process which forms the pixel section switching TFT on a active-matrix substrate, and a shift register 101 is formed by mounting IC chip.

[0016] The drive timing in this drive circuit is explained using drawing 2 . As point \*\* was carried out, a TN liquid crystal is fundamentally driven by AC drive. The frequency of this AC signal is decided by how many times a video signal is sent between one-frame periods (1/60 second). According to the usual NTSC standard (the same is said of the specification of HDTV), a signal is written in the one half (2:1 INTARESU drives) of the scanning line of a screen at this period. Moreover, recently, it changes to the conventional INTARESU drive and the so-called non INTARESU drive which sends a signal to the whole screen during an one-frame period is also used briskly. Drawing 2 shows the case of an INTARESU drive. In this case, output phiGV0 of a shift register 101 Gate signal phiwhile being outputted E And phiO It can respond because either turns on. Drawing 3 shows the case of a non INTARESU drive. In this case, output phiGV0 of a shift register 101 While being outputted, it is gate signal phiE. And phiO It can respond by carrying out sequential ON.

[0017] therefore — according to this scanning circuit — the demand by the side of a system — an INTARESU drive and a non INTARESU drive — it can respond to all.

[0018] Moreover, in this example, the two scanning lines per 1-bit output of a shift register 101 can be driven. Therefore, the pitch of a shift register 101 can be made into twice also with the number of the same scan wiring compared with the former. Furthermore, the number of the transistors per scanning line can be reduced to nine pieces compared with 16 conventional pieces.

[0019] Example 2 drawing 4 is the circuit diagram showing the horizontal scanning circuit part of the drive circuits of the active matrix liquid crystal display device concerning the 2nd example of this invention. The level switching TFT for the signal-line group of a active matrix for 406 to supply a driving signal to each pixel electrode and 405 to transmit a video signal Video to each signal line of a active matrix, the level shift register with which 401 carries out closing motion control of the level switching TFT405, and 402 are the switching TFT of each outgoing end of the level shift register 401, and a pair with a separate gate electrode with a source electrode common [ 403 and 404 ] and among drawing. While the common source electrode is connected to one terminal. 402 of the level shift register 401, respectively, the other end is connected to two level switching TFT405, respectively. Moreover, it drives separately and each gate of switching 403 and TFT 404 is the gate signal phi 1. And phi 2 All level switching TFT405 can be driven now by shifting timing.

[0020] The period when the drive timing using the drive circuit by this example is fundamentally [ as the timing of the non INTARESU drive shown in drawing 2 ] the same at, and output phiGH of a shift register 401 is outputted only changes at the signal transfer period per pixel of level Rhine.

[0021] In this example, the two scanning lines per 1-bit output of a shift register 401 can be driven. Therefore, the pitch of a shift register 401 is doubled also in the number of the same scan wiring

compared with the former. Furthermore, the number of the transistors per scanning line can be reduced to nine pieces compared with conventional 16.

[0022]

[Effect of the Invention] As explained above, according to this invention, it sets at least between said 2nd signal wiring and the 1st shift register or to either between said 2nd active component and the 2nd shift register. While having two or more active components of said pair and connecting the common source or the drain electrode of these \*\*\*\*\* to one terminal of a shift register, the other end is connected to said 2nd two signal wiring or the 2nd active component, respectively. Since it was made to drive each active component of a pair by the separate gate signal pulse, two signal lines will correspond to one terminal of a shift register, therefore the terminal pitch of a shift register can be doubled also with the number of the same signal lines compared with the former. That is, the number of the transistors per signal line can enlarge the pitch of a circumference circuit, without being able to make it nine pieces and dividing a viewing area into some blocks compared with 16 conventional pieces. And this effectiveness can be acquired only by adding only two transistors to the conventional drive circuit. Therefore, a surrounding drive circuit corresponds to the detailed pitch of a active-matrix component easily. Consequently, the display device which can respond also to the highly minute liquid crystal panel corresponding to HDTV expected to develop quickly from now on enough can be offered.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the scanning circuit of the drive circuits of the active matrix liquid crystal display device concerning the 1st example of this invention.

[Drawing 2] It is the explanatory view of the drive timing corresponding to the INTARESU drive in the circuit of drawing 1 .

[Drawing 3] It is the explanatory view of the drive timing corresponding to the non INTARESU drive in the circuit of drawing 1 .

[Drawing 4] It is the circuit diagram showing the horizontal scanning circuit part of the drive circuits of the active matrix liquid crystal display device concerning the 2nd example of this invention.

[Drawing 5] It is the external view of an active matrix liquid crystal display device.

[Drawing 6] It is the explanatory view of the drive circuit concerning the conventional example.

[Drawing 7] It is the circuit diagram showing a CMOS shift register.

[Description of Notations]

101: A perpendicular shift register, the 103,104,403,404:switching TFT, a 105:scan wiring group, a 406:signal-line group, the 405:level switching TFT, 401 : level shift register

---

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-210118

(43)公開日 平成5年(1993)8月20日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/133	5 5 0	7820-2K	
	1/1343		9018-2K	
G 0 9 G	3/36		7319-5G	
			9056-4M	
			H 0 1 L 29/ 78	3 1 1 E
審査請求 未請求 請求項の数4(全 6 頁) 最終頁に続く				

(21)出願番号 特願平4-40615

(22)出願日 平成4年(1992)1月31日

(71)出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 近藤 茂樹

東京都大田区下丸子3丁目30番2号キャノ  
ン株式会社内

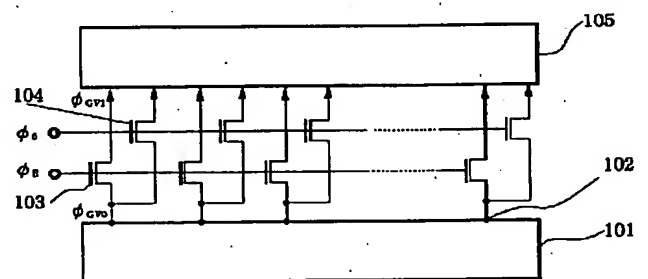
(74)代理人 弁理士 伊東 哲也 (外1名)

(54)【発明の名称】 アクティブマトリクス型液晶表示素子

(57)【要約】 (修正有)

【目的】 簡単な構成により、周辺の駆動回路をアクティブマトリクス素子の微細ピッチに対応できるようにする。

【構成】 少なくとも第2の信号配線と第1のシフトレジスタ間、または第2のアクティブ素子と第2のシフトレジスタ間のいずれかにおいて、ソースまたはドレイン電極のうち一方が共通でかつゲート電極は別々な一対のアクティブ素子103、104を複数有し、これらはそれぞれその共通なソースまたはドレイン電極が前記第1または第2のシフトレジスタの1端子102に接続されるとともに他端はそれぞれ2つの前記第2の信号配線または第2のアクティブ素子に接続され、前記一対のアクティブ素子はそれぞれ別々のゲート信号パルスで駆動される。





(2)

## 【特許請求の範囲】

【請求項1】 多数の画素電極、各画素電極へ駆動信号を供給するための第1の信号配線、この第1の信号配線からの各画素電極への駆動信号の供給をオン・オフ制御するための第1のアクティブ素子、および、この第1のアクティブ素子を開閉するゲート信号を供給するための第2の信号配線がマトリクス状に形成された第1の基板と、

この基板に対し一定の間隔を置いて配置され、前記画素電極に対向して配置された対向電極を有する第2の基板と、

前記第1および第2の基板間に配置され前記画素電極へ供給される駆動信号に応じて駆動される液晶と、

前記第2の信号配線に接続され、前記第1のアクティブ素子を開閉制御する第1のシフトレジスタと、

所定の入力信号を各第1の信号配線に所定のタイミングで分配し供給するために開閉制御される第2のアクティブ素子と、

この第2のアクティブ素子を開閉制御する第2のシフトレジスタとを備えたアクティブマトリクス型液晶表示素子において、

少なくとも前記第2の信号配線と第1のシフトレジスタ間、または前記第2のアクティブ素子と第2のシフトレジスタ間のいずれかにおいて、ソースまたはドレイン電極のうち一方が共通でかつゲート電極は別々な一対のアクティブ素子を複数有し、これらはそれぞれその共通なソースまたはドレイン電極が前記第1または第2のシフトレジスタの1端子に接続されるとともに他端はそれぞれ2つの前記第2の信号配線または第2のアクティブ素子に接続され、前記一対のアクティブ素子はそれぞれ別々のゲート信号パルスで駆動されることを特徴とするアクティブマトリクス型液晶表示素子。

【請求項2】 前記各第2の信号配線と第1のシフトレジスタ間に前記一対のアクティブ素子を複数有し、その一対の各アクティブ素子にゲート信号パルスが印加されるタイミングは1フレーム期間内で相互にずれていることを特徴とする請求項1記載のアクティブマトリクス型液晶表示素子。

【請求項3】 前記各第2の信号配線と第1のシフトレジスタ間に前記一対のアクティブ素子を複数有し、その一対の各アクティブ素子にゲート信号パルスが印加されるタイミングは2フレーム期間内で相互にずれていることを特徴とする請求項1記載のアクティブマトリクス型液晶表示素子。

【請求項4】 少なくとも前記一対のアクティブ素子は前記第1の基板上に形成されていることを特徴とする請求項1～3記載のアクティブマトリクス型液晶表示素子。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリクス素子によって駆動されるアクティブマトリクス型液晶表示素子に関する。

## 【0002】

【従来の技術】従来より、アクティブマトリクス素子を設けた液晶素子は、TN液晶を用いる場合に広く応用され、フラットパネルディスプレイとして、あるいは、プロジェクションテレビ（PTV）として商品化されてきた。薄膜トランジスタ（TFT）やダイオード素子、および、MIM（メタル・インシュレータ・メタル）素子などに代表される上記アクティブマトリクス素子は、そのスイッチング特性により、比較的応答の遅い上記TN液晶に対し実質ライン選択周期より長い間電圧印加状態を保持することにより液晶の光学スイッチ応答を助け、また、上記TN液晶などのようにメモリ性（自己保持性）がない液晶に対して、上記電圧印加状態保持により1フレーム間の実質的メモリ状態をもたらすものである。あるいは各ライン間や画素間に対して原理的にはクロストークを与えず、良好な表示特性を与える特徴がある。

【0003】図5は、このようなアクティブマトリクス素子を設けた液晶素子であるアクティブマトリクス液晶素子の構造を示す。図6は、従来の基本的液晶駆動回路を示す回路図である。この駆動回路は、共通電極（電位；V<sub>COM</sub>とする）と各画素電極の間に液晶材料を封入した液晶セル601と画素TFT602とからなる画素部、各画素電極へ駆動信号（映像信号）を供給するための映像信号配線部（以下、信号配線という）603、ラインバッファ部605、入力映像信号を各信号配線603に所定のタイミングで分配し供給するために開閉制御される水平スイッチングTFT606、スイッチングTFT604、水平スイッチングTFT606を開閉制御する水平シフトレジスタ607、画素TFT602を開閉するゲート信号を供給するためのゲート信号配線（以下、ゲート配線という）609、および、画素TFT602を開閉制御する垂直シフトレジスタ608を備えており、記録信号V<sub>IN</sub>は、信号入力端611から、タイミングをずらして順次各画素あるいは、各ラインに転送されていく。

【0004】しかしながら、従来の駆動回路においては次のような問題が生じている。すなわち、上記シフトレジスタの出力端は、水平、並びに、垂直方向の画素数分だけ必要であり、表示領域の大きさによっては、シフトレジスタのピッチが狭くなり構成が困難になってくる。例えば、現在、製品の主流となっているa-Si TFTを用いた液晶パネルでは、これらの駆動回路はICチップを実装することで対処しているが、このような形態においては、実装ピッチが問題となってくる。

【0005】図7は、シフトレジスタの代表例として、CMOSシフトレジスタを示す回路図である。液晶表示



(3)

3

素子においては、その消費電力の低さから、CMOSシフトレジスタがよく用いられる。図から明らかなように、CMOSシフトレジスタにおいて1ビット当たりに必要なトランジスタの数は、16個であり、これらをもしアクティブ素子と同一基板上に作り込もうとすると、表示領域の画素ピッチの中に、これらのトランジスタをレイアウトしなければならない。

【0006】この傾向は、例えば、PTV用ライトバルブや、ビデオカメラのビューファインダの様に、そのパネルサイズが大きくとれないような用途に対しては、更に厳しくなってくる。

【0007】また、更に、今後急速に発展していくと思われるハイビジョンTV（HDTV）への応用を考えると、周辺駆動回路、特にシフトレジスタまわりの微細ピッチへの対応は急務であり、その対策が急がれる。

【0008】これらの対策として、現状では、表示領域を幾つかのブロックに分割して、見掛け上周辺の駆動回路のピッチを大きくする工夫がなされている。

【0009】しかしながら、表示領域を幾つかのブロックに分割することは、表示システムとしてフレームメモリやブロックメモリなどのメモリ機構が必要となり、システム全体が複雑になる、あるいは、ブロック間の信号の補正が必要であり、そのためのシステム構成が新たに加わる、HDTVの様に画素数が多くなると、分割ブロック数が更に多くなる、などの新たな問題を生じる。

【0010】以上述べたように、従来の方法では、システムを複雑にせずに、周辺の駆動回路をアクティブマトリクス素子の微細ピッチに対応させることは困難であった。本発明の目的は、このような従来技術の問題点に鑑み、アクティブマトリクス型液晶表示素子において、簡単な構成により、周辺の駆動回路をアクティブマトリクス素子の微細ピッチに対応できるようにすることにある。

【0011】

【課題を解決するための手段】上記目的を達成するため本発明では、多数の画素電極、各画素電極へ駆動信号を供給するための第1の信号配線、この第1の信号配線からの各画素電極への駆動信号の供給をオン・オフ制御するための第1のアクティブ素子、および、この第1のアクティブ素子を開閉するゲート信号を供給するための第2の信号配線がマトリクス状に形成された第1の基板と、この基板に対し一定の間隔を置いて配置され、前記画素電極に対向して配置された対向電極を有する第2の基板と、前記第1および第2の基板間に配置され前記画素電極へ供給される駆動信号に応じて駆動される液晶と、前記第2の信号配線に接続され、前記第1のアクティブ素子を開閉制御する第1のシフトレジスタと、所定の入力信号を各第1の信号配線に所定のタイミングで分配し供給するために開閉制御される第2のアクティブ素子と、この第2のアクティブ素子を開閉制御する第2の

4

シフトレジスタとを備えたアクティブマトリクス型液晶表示素子において、少なくとも前記第2の信号配線と第1のシフトレジスタ間、または前記第2のアクティブ素子と第2のシフトレジスタ間のいずれかにおいて、ソースまたはドレイン電極のうち一方が共通でかつゲート電極は別々な一対のアクティブ素子を複数有し、これらはそれぞれその共通なソースまたはドレイン電極が前記第1または第2のシフトレジスタの1端子に接続されるとともに他端はそれぞれ2つの前記第2の信号配線または第2のアクティブ素子に接続され、前記一対の各アクティブ素子はそれぞれ別々のゲート信号パルスで駆動されるようにしている。

【0012】ここで、前記各第2の信号配線と第1のシフトレジスタ間に前記一対のアクティブ素子を有する場合、その一対の各アクティブ素子にゲート信号パルスが印加されるタイミングは例えば1または2フレーム期間内で相互にずれるようにされる。そして、少なくとも前記一対のアクティブ素子は前記第1の基板上に形成されるのが好ましい。

【0013】

【作用】この構成において、少なくとも前記第2の信号配線と第1のシフトレジスタ間、または前記第2のアクティブ素子と第2のシフトレジスタ間のいずれかにおいて、前記一対のアクティブ素子を複数有し、これらそれぞれその共通なソースまたはドレイン電極をシフトレジスタの1端子に接続するとともに他端はそれぞれ2つの前記第2の信号配線または第2のアクティブ素子に接続し、一対の各アクティブ素子は別々のゲート信号パルスで駆動するようにしたため、シフトレジスタの1端子に対し2本の信号線が対応することになり、したがって同一信号線数でも、シフトレジスタの端子ピッチは従来に比べ2倍となる。すなわち、信号線1本当たりのトランジスタの数は、従来の16個に比べ、9個になる。したがって、周辺の駆動回路は、アクティブマトリクス素子の微細ピッチに容易に対応する。

【0014】

【実施例】

実施例1

図1は、本発明の第1の実施例に係るアクティブマトリクス型液晶素子の駆動回路のうちの走査回路を示す回路図である。図中、101は不図示の画素TFTを開閉制御する垂直シフトレジスタ、102は垂直シフトレジスタ101の各出力端、103および104はソース電極が共通でかつゲート電極は別々な一対のスイッチングTFTである。その共通なソース電極は垂直シフトレジスタ101の1つの出力端102に接続されるとともに他端はそれぞれ2つの走査配線に接続されている。105はアクティブマトリクス素子である各画素TFTに接続している走査配線群である。スイッチングTFT103および104は、別々のゲート信号 $\phi_E$ および $\phi_O$ によ

(4)

5

って駆動され、そのゲート信号 $\phi_E$  および $\phi_0$  のタイミングをずらすことによって、すべての走査線に対して異なる所定のタイミングでゲート信号 $\phi_{GV1}$  を送出できるようにになっている。

【0015】スイッチングTFT103および104は、アクティブマトリクス基板上に、画素部スイッチングTFTを形成するプロセスにおいてモノリシックに形成され、シフトレジスタ101はICチップを実装することによって形成される。

【0016】この駆動回路における駆動タイミングについて、図2を用いて説明する。先述したように、TN型液晶は、基本的にAC駆動により駆動される。このAC信号の周波数は、1フレーム期間(60分の1秒)の間に、何回映像信号を送るかによって決まる。通常のNTSC規格(HDTVの規格も同じである)によれば、この期間に画面の走査線の半分(2:1インターレス駆動)に信号が書き込まれる。また、最近では、従来のインターレス駆動に変わって、1フレーム期間中に画面全体に信号を送る、いわゆるノンインターレス駆動も盛んに使われている。図2はインターレス駆動の場合を示す。この場合、シフトレジスタ101の出力 $\phi_{GV0}$  が出力されている間、ゲート信号 $\phi_E$  および $\phi_0$  のいずれか一方がオンすることで対応可能である。図3はノンインターレス駆動の場合を示す。この場合はシフトレジスタ101の出力 $\phi_{GV0}$  が出力されている間にゲート信号 $\phi_E$  および $\phi_0$  を順次オンすることによって対応可能である。

【0017】従って、この走査回路によれば、システム側の要求により、インターレス駆動およびノンインターレス駆動いずれにも対応できる。

【0018】また、本実施例では、シフトレジスタ101の1ビット出力当たり、2本の走査線を駆動できる。従って、同一走査配線数でも、シフトレジスタ101のピッチは従来に比べ2倍とすることができる。更に、走査線1本当たりのトランジスタの数は、従来の16個に比べ、9個に減らすことができる。

#### 【0019】実施例2

図4は、本発明の第2の実施例に係るアクティブマトリクス型液晶表示素子の駆動回路のうちの水平走査回路部分を示す回路図である。図中、406は各画素電極へ駆動信号を供給するためのアクティブマトリクスの信号線群、405は映像信号Videoをアクティブマトリクスの各信号線に転送するための水平スイッチングTFT、401は水平スイッチングTFT405を開閉制御する水平シフトレジスタ、402は水平シフトレジスタ401の各出力端、403および404はソース電極が共通でかつゲート電極は別々な一對のスイッチングTFTである。その共通なソース電極はそれぞれ水平シフトレジスタ401の1端子402に接続されるとともに他端はそれぞれ2つの水平スイッチングTFT405に接

6

続されている。また、スイッチングTFT403および404の各ゲートは別々に駆動され、そのゲート信号 $\phi_1$  および $\phi_2$  のタイミングをずらすことで、すべての水平スイッチングTFT405を駆動できるようになっている。

【0020】本実施例による駆動回路を用いた駆動タイミングは、図2において示したノンインターレス駆動のタイミングと基本的に同じであり、シフトレジスタ401の出力 $\phi_{GH}$ が出力されている期間が、水平ラインの1画素当たりの信号転送期間に変わるだけである。

【0021】本実施例では、シフトレジスタ401の1ビット出力当たり、2本の走査線を駆動できる。従って、同一走査配線数でも、シフトレジスタ401のピッチは従来に比べ2倍にできる。更に、走査線1本当たりのトランジスタの数は、従来の16に比べ、9個に減らすことができる。

#### 【0022】

【発明の効果】以上説明したように本発明によれば、少なくとも前記第2の信号配線と第1のシフトレジスタ間、または前記第2のアクティブ素子と第2のシフトレジスタ間のいずれかにおいて、前記一對のアクティブ素子を複数有し、これらそれぞれその共通なソースまたはドレイン電極をシフトレジスタの1端子に接続するとともに他端はそれぞれ2つの前記第2の信号配線または第2のアクティブ素子に接続し、一對の各アクティブ素子は別々のゲート信号パルスで駆動するようにしたため、シフトレジスタの1端子に対し2本の信号線が対応することになり、したがって同一信号線数でも、シフトレジスタの端子ピッチは従来に比べ2倍にすることができる。すなわち、信号線1本当たりのトランジスタの数は、従来の16個に比べ、9個にすることができ、表示領域を幾つかのブロックに分割すること無しに、周辺回路のピッチを大きくすることができる。しかもこの効果は、従来の駆動回路にたった2個のトランジスタを付け加えるだけでえることができる。したがって、周辺の駆動回路は、アクティブマトリクス素子の微細ピッチに容易に対応する。この結果、今後急速に発展すると思われるHDTV対応の高精細液晶パネルにも十分対応できる表示素子を提供することができる。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施例に係るアクティブマトリクス型液晶表示素子の駆動回路のうちの走査回路を示す回路図である。

【図2】 図1の回路におけるインターレス駆動に対応する駆動タイミングの説明図である。

【図3】 図1の回路におけるノンインターレス駆動に対応する駆動タイミングの説明図である。

【図4】 本発明の第2の実施例に係るアクティブマトリクス型液晶表示素子の駆動回路のうちの水平走査回路部分を示す回路図である。

(5)

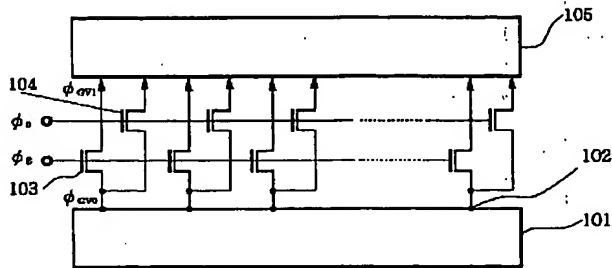
7

【図5】 アクティブマトリクス型液晶表示素子の外観図である。

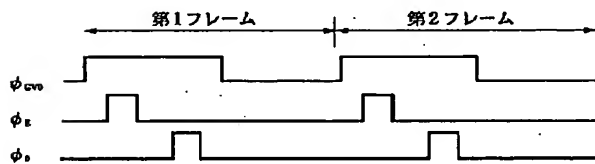
【図6】 従来例に係る駆動回路の説明図である。

【図7】 CMOSシフトレジスタを示す回路図である。

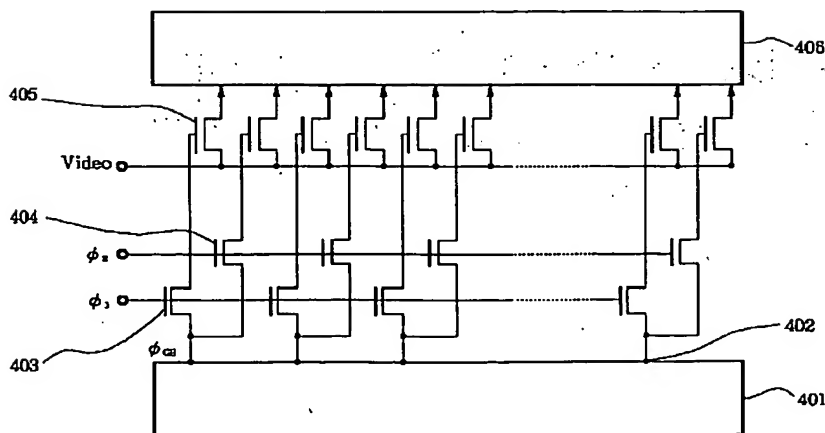
【図1】



【図3】



【図4】

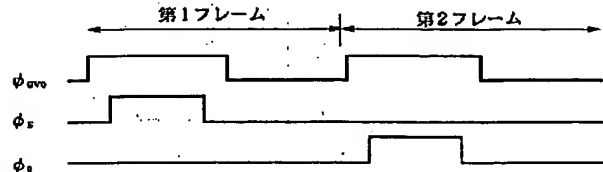


8

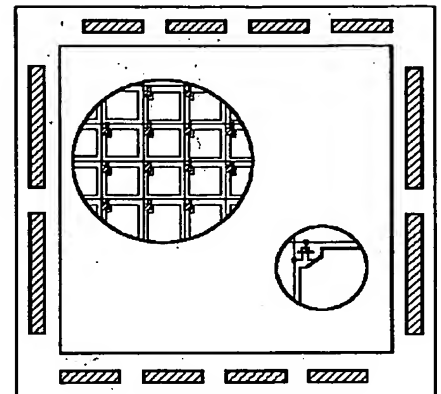
【符号の説明】

101: 垂直シフトレジスタ、103, 104, 403, 404: スイッチングTFT、105: 走査配線群、406: 信号線群、405: 水平スイッチングTFT、401: 水平シフトレジスタ

【図2】

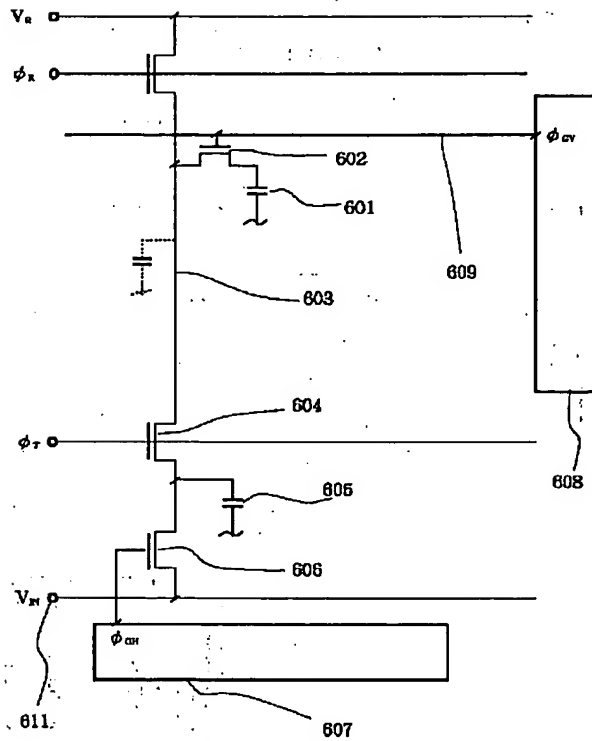


【図5】

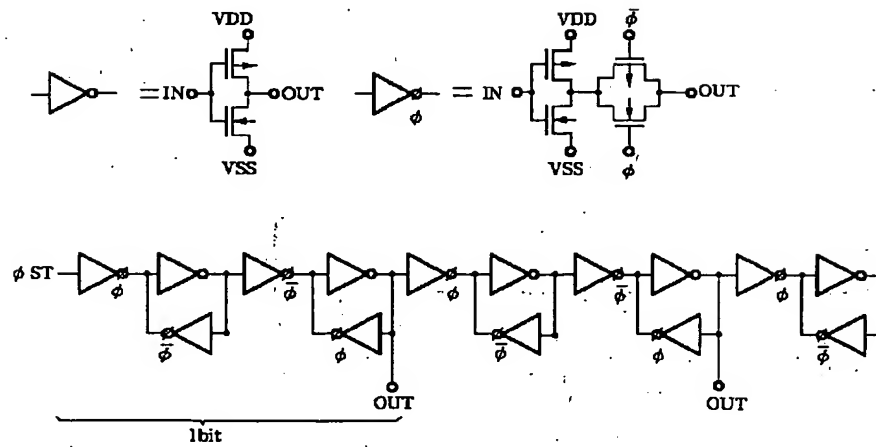


(6)

【図6】



【図7】



フロントページの続き

(51) Int. Cl. 5

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-003008

(43)Date of publication of application : 08.01.1990

(51)Int.Cl.

G02F 1/133  
G09G 3/36  
// H03K 17/00

(21)Application number : 63-150285

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.06.1988

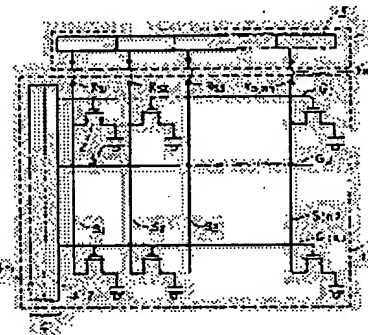
(72)Inventor : KOIKE NORIO  
KANEKO YOSHIYUKI

## (54) SCANNING CIRCUIT AND DISPLAY PANEL USING SAID CIRCUIT

### (57)Abstract:

**PURPOSE:** To integrate a vertical scanning circuit in a liquid crystal panel by obtaining hourly and successively a scanning pulse from each stage of a charging/discharging circuit consisting of plural pieces of amorphous semiconductor thin film transistors which are opened and closed by the output of a pulse shifting circuit.

**CONSTITUTION:** Two roles of a shifting operation of a scanning pulse and driving of a gate line are separated, the scanning pulse is shifted by a scanning pulse shifting circuit 4'-1, and gate lines G'1-G'n are driven by a charging/ discharging circuit 4'-2 which is opened and closed by an output pulse of the pulse shifting circuit 4'-1. In such a way, it is prevented that a large load capacity is applied directly to a scanning circuit. Therefore, a scanning speed can be improved. A vertical scanning circuit 4' can be integrated to the same panel as a display panel such as a liquid crystal panel.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]